

Korean Industrial Property Office

**PATENT REGISTRATION GAZETTE (Extracted translation)**

Registration Date: 1 October 1998

Registration No.: 0168355

Publication Date: 26 June 1997

Publication No.: 1997-030328

Application Date: 2 November 1995

Application No.: 1995-039443

Applicant: Samsung Electronics Co., Ltd.  
416, Maetan 3-dong, Paldal-gu, Suwon-city, Kyungki-do, Korea

Title of the Invention:

Method of Forming Interconnection Line of Semiconductor Device

Abstract:

A method of forming an interconnection line using a landing pad is described. In a semiconductor device having a memory cell region and a peripheral region, a bit line is formed of not commonly-used polycide but metal having a high melting point so that contact pads are simultaneously formed in an N-type active region and a P-type active region. A landing pad is formed in the peripheral region at the same time when a bit line is formed in the memory cell region. A substantial interconnection contact hole is formed on the landing pad to reduce the aspect ratio of the interconnection contact hole. Thus, the interconnection contact hole is easily filled with aluminum in a reflow process when forming a metal interconnection layer. As a result, step coverage of metal deposited on the interconnection contact hole is improved and contact resistance is reduced to improve reliability.

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. 6		(11) 등록번호	특0168355
H01L 21 /28		(24) 등록일자	1998년 10월 01일
(21) 출원번호	특 1995-039443	(65) 공개번호	특 1997-030328
(22) 출원일자	1995년 11월 02일	(43) 공개일자	1997년 06월 26일
(73) 특허권자	삼성전자주식회사 김광호		
(72) 발명자	경기도 수원시 팔달구 매탄동 416번지 이상인		
(74) 대리인	경기도 수원시 팔달구 매탄2동 197 동남연립 9동 101호 이영필, 권석훈, 노민식		

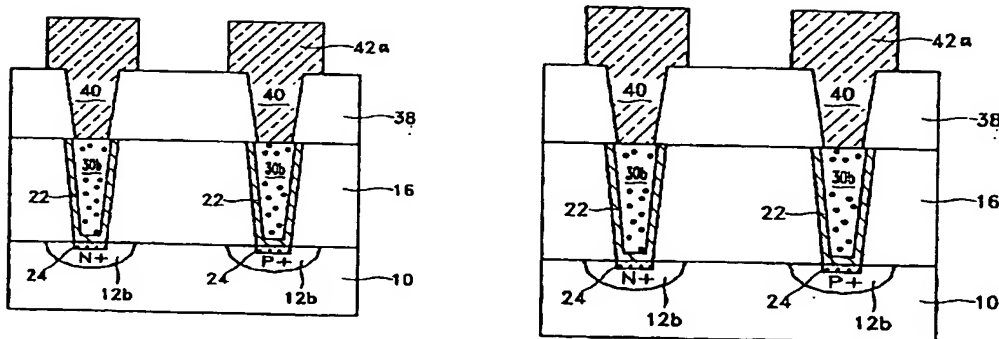
상사관 : 송봉식

(54) 반도체장치의 배선 형성방법

요약

랜딩패드(Landing Pad)를 이용한 배선 형성방법이 포함되어 있다. 본 발명은 메모리셀부와 주변회로부를 갖는 반도체장치에서, 비트라인을 통상 사용하는 폴리사이드가 아닌 고용점금속으로 사용하여 N형 활성영역과 P형 활성영역에 동시에 콘택을 형성할 수 있도록 한 다음에, 메모리셀부에 비트라인을 형성시킬 때, 동시에 주변회로부에 랜딩패드를 형성하고 이 랜딩패드위에 실질적인 배선용 콘택홀을 형성함으로써 콘택의 종횡부(Aspect Ratio)를 낮출 수 있다. 따라서 본 발명은 금속배선층 형성시, 알루미늄 리플로우 공정등에 의해 배선용 콘택홀을 팜링(Filling)하기가 쉽고, 이에 따라 상기 배선용 콘택홀에 증착되는 금속의 스텝커버리지(Step-Coverage)가 좋아지고, 콘택저항이 작아지며, 이로 인해 신뢰도가 증가된다.

대표도



명세서

[발명의 명칭]

반도체장치의 배선 형성방법

[도면의 간단한 설명]

제1도 내지 제11도는 본 발명의 실시예에 의한 반도체장치의 배선 형성방법에 있어서 메모리셀부의 공정단면도이다.

제12도 내지 제22도는 본 발명의 실시예에 의한 반도체장치의 배선 형성방법에 있어서 주변회로부의 공정단면도이다.

\* 도면의 주요부분에 대한 부호의 설명

12a : 메모리셀부의 활성영역

12b : 주변회로부의 활성영역

18 : 홈

20a : 다이렉트콘택홀

20b : 랜딩패드형성용 콘택홀

24 : 오믹접촉층

26 : 확산장벽막

28 : 고융점금속층

30a : 비트라인

30b : 랜딩패드

40 : 배선용 콘택홀

42 : 배선용 금속층

[발명의 상세한 설명]

본 발명은 반도체장치의 배선 형성방법에 관한 것으로, 특히 랜딩패드(Landing Pad)를 이용한 배선 형성방법에 관한 것이다.

반도체에서의 배선공정은 콘택홀(Contact Hole)의 형성과 배선(Interconnection)의 2가지로 구분할 수 있는데, 근래에 반도체의 고집적화에 따라 배선의 폭은 감소하고, 특히 콘택의 경우에 있어서는 수평방향의 크기가 줄어드는 반면 수직방향으로의 크기가 증가하여 콘택의 종횡비(Aspect Ratio)가 증가하는 문제점이 있다.

또한 소자의 동작속도 향상과 배선의 신뢰도를 향상시키기 위해서는 금속배선의 다층화가 필요하고, 특히 층간절연막의 평탄화를 위하여 콘택홀의 필링(Filling)은 필수적이며, 현재 다층배선 형성에서의 필링기술로서는 물리기상 증착법과 화학기상 증착법이 주로 사용되고 있다.

물리기상 증착법은 일반적으로 스퍼터링(Sputtering)방식에 의해 알루미늄 금속을 증착하는 방법인데, 콘택홀의 크기가 1  $\mu$ m 이하로 작아져 종횡비(Aspect Ratio)가 커질 경우 콘택홀에서의 스텝커버리지(Step-coverage)가 불량하게 되어 배선의 단락이나 콘택저항이 증가하는 문제점이 있다.

또한 스텝커버리지(Step-coverage) 특성이 우수한 화학기상증착법(Chemical Vapor Deposition, CVD)은 아직까지 알루미늄을 증착하는데 많은 문제점을 갖고 있다.

근래에, 상기와 같은 문제점을 해결하기 위하여, 상온에서 알루미늄(Al)을 스퍼터링방식으로 증착한 후 500℃ 내지 550℃의 고온에서 알루미늄을 리플로우(Reflow)시켜 콘택홀을 필링(Filling)시키는 새로운 개념의 방법이 채택되고 있다.

그러나 256M DRAM 및 1G DRAM으로 고집적화 되면서 콘택홀의 종횡비가 더욱 커짐에 따라, 금속배선층 형성시 상기 알루미늄 리플로우 방법을 사용하여도 콘택홀을 필링(Filling)하기가 어렵고,

이로 인하여 증착되는 금속배선의 스텝커버리지가 나빠지고, 또한 접촉저항이 커지는 문제점이 있다.

따라서 본 발명의 목적은, 금속배선 형성시 발생하는 상기 종래의 문제점을 해결하고, 수평방향의 크기가 작고 수직방향으로 깊이가 깊은 콘택(Small Deep Contact)에 효과적으로 알루미늄 리플로우 공정을 적용할 수 있도록, 콘택의 종횡비(Aspect Ratio)를 낮출 수 있는 랜딩패드(Landing Pad)를 이용한 배선 형성방법을 제공하는 데 있다.

본 발명의 기본개념은, 수평방향의 크기가 작고 수직방향의 크기가 큰 콘택(Small Deep Contact)에 알루미늄 리플로우 방법을 쉽게 적용하기 위해, 콘택의 종횡비를 낮추기 위한 방법으로써,

메모리셀부와 주변회로부를 갖는 반도체장치에서, 비트라인을 통상 사용하는 폴리사이드가 아닌 고용점금속으로 사용하여 N형 활성영역과 P형 활성영역에 동시에 콘택을 형성할 수 있도록 한다. 그리고 메모리셀부의 비트라인을 형성시킬 때, 동시에 주변회로부에 랜딩패드를 형성하고 이 랜딩패드위에 실질적인 배선용 콘택홀을 형성함으로써 콘택의 종횡비를 낮추는 것이다.

상기 목적을 달성하기 위한 본 발명의 반도체장치의 배선 형성방법은, 메모리셀부와 주변회로부를 갖는 반도체장치의 배선 형성방법에 있어서,

실리콘기판상에 메모리셀부의 활성영역, 주변회로부의 활성영역 및 게이트전극을 형성하는 단계;

상기 결과물의 전면에 제1절연막을 적층(Deposit)하는 단계;

상기 제1절연막을 식각하여, 상기 메모리셀부의 활성영역에 접속되는 비트라인 구조물과 상기 주변회로부의 활성영역에 접속되는 랜딩패드(Landing Pad)형성용 콘택홀(Contact Hall)을 동시에 형성하는 단계;

상기 결과물의 전면에 오믹접촉(Ohmic Contact)용 금속막을 적층하는 단계;

상기 비트라인 구조물 및 상기 랜딩패드형성용 콘택홀 아래의 상기 실리콘기판 표면에서, 상기 오믹접촉용 금속막을 실리콘과 반응시켜 오믹접촉층(Ohmic Contact Layer)을 형성하고, 상기 오믹접촉용 금속막의 미반응된 부분을 스트립(Strip)하는 단계;

상기 결과물의 전면에 확산장벽막을 적층하는 단계;

상기 결과물의 전면에 고용점금속을 적층하고 상기 비트라인 구조물 및 상기 랜딩패드형성용 콘택홀 필링(Filling)시키는 단계;

상기 고용점금속으로 필링된 상기 비트라인 구조물 및 상기 랜딩패드형성용 콘택홀 부분이외의 상기 확산장벽막과 상기 고용점금속을 제거하여 비트라인과 랜딩패드를 형성하는 단계;

상기 결과물의 전면에 제2절연막을 적층하는 단계;

상기 랜딩패드위의 상기 제2절연막을 식각하여 배선용 콘택홀을 형성하는 단계;

상기 결과물의 전면에 높은 전기전도도를 갖는 배선용 금속을 적층하고 상기 배선용 콘택홀을 필링시키는 단계;

상기 배선용 금속을 패터닝하여 배선을 형성하는 단계를 순차적으로 수행하는 것을 특징으로 한다.

상술한 본 발명의 배선 형성방법에 의하면,

메모리소자, 특히 DRAM의 제조공정중 메모리셀부의 비트라인을 형성시킬 때, 동시에 주변회로부에 고용점금속으로 필링된 랜딩패드를 형성함으로써,

후속의 배선용 콘택홀을 형성하는 공정에서 실효 절연막의 두께를 감소시키는 효과가 있으므로, 배선용 콘택홀의 에칭이 용이하고 또한 상기 랜딩패드위에 증착부가 작은 배선용 콘택홀이 형성된다.

따라서 금속배선층 형성시, 알루미늄 리플로우 공정등에 의해 배선용 콘택홀을 필링(Filling)하기가 쉽고, 이에 따라 상기 배선용 콘택홀에 증착되는 금속의 스텝커버리지(Step-Coverage)가 좋아지고, 콘택저항이 작아지며, 이로 인해 신뢰도가 증가된다.

이하 첨부한 도면을 참조하여 본 발명의 실시예를 더욱 상세히 설명한다.

제1도 내지 제11도는 본 발명의 실시예에 의한 반도체장치의 배선 형성방법에 있어서 메모리셀부의 공정단면도이고,

제12도 내지 제22도는 본 발명의 실시예에 의한 반도체장치의 배선 형성방법에 있어서 주변회로부의 공정단면도이다.

제1도 및 제12도를 참조하여, 실리콘기판(10)상에 통상의 방법으로 게이트전극(14)을 형성하고, 또한 메모리셀부의 활성영역(12a)과 주변회로부의 활성영역(12b), 즉 소오스영역 또는 드레인영역을 형성한 후,

제1절연막(16), 예컨대 BPSG(Borophosphosilicate Glass) 또는 USG(Undoped Si<sub>3</sub> Glass)를 화학기상증착법(Chemical Vapor Depositon, CVD)으로 적층(Depositon)한다.

이후에 상기 결과물의 전면에 SOG(Spin on Glass)를 도포하여 평탄하게 만든 다음에, 플라즈마 전면식각(Full Etchback) 방법으로 상기 SOG와 상기 제1절연막(16)의 일부를 제거하여 평탄화시킨다.

이때 화학기계연마법(Chemical Mechanical Polishing, CMP)으로 상기 제1절연막을 평탄화시킬 수 있다.

다음에 메모리셀부의 비트라인은 이중상감기법(Dual-damascene)으로 형성되는 데, 먼저 상기 결과물의 전면에 비트라인 패턴과 반대로 패터닝하는 역패터닝(Recerse Patterning)을 하고 통상의 식각공정에 의해 상기 제1절연막(16)을 약 0.4 $\mu$ m의 깊이로 식각하여 홈(Groove)(18)을 형성한다.

이후 사진공정 및 식각공정에 의해 상기 제1절연막(16)을 다시 식각하여, 상기 메모리셀부의 N형 활성영역(12a)에 접속되도록 상기 홈(18) 아래에 다이렉트콘택홀(Direct Contact Hole)(20a)을 형성하고, 동시에 상기 주변회로부의 N형 또는 P형 활성영역(12b)에 접속되도록 랜딩패드형성용 콘택홀(20b)을 형성한다. 따라서 메모리셀부에는 상기 홈(18)과 상기 다이렉트콘택홀(20a)이 합쳐져 하나의 비트라인 구조물을 이루게 된다.

다음에 상기 결과물의 전면에 스퍼터링방법을 이용하여 티타늄(Ti)으로 오믹접촉용 금속막(22)을 적층한다. 이때 상기 오믹접촉용 금속막(22)을 W, Mo, Ta, Zr 등으로도 형성할 수 있다.

제2도 및 제13도를 참조하여, 다음에 상기 다이렉트콘택홀(20a)과 상기 랜딩패드형성용 콘택홀(20b) 아래의 상기 반도체기판(10) 표면에서, 상기 오믹접촉용 금속막(22), 즉 티타늄막을 실리콘과 반응시켜 TiSi 오믹접촉층(Ohmic Contact Layer)(24)을 선택적으로 형성한 후에,

상기 결과물을 N<sub>2</sub> 또는 Ar분위기의 RTA(Rapid Thermal Annealing)장치를 이용하여 500℃ 내지 700℃에서 10초 내지 30초 동안 열처리한 다음, 황산이나 기타 화학용액을 사용하여 상기 티타늄막(22)중 미반응된 부분을 스트립(strip)한다.

다시 N<sub>2</sub>나 Ar분위기의 RTA장치를 이용하여 700℃ 내지 950℃에서 10초 내지 30초 동안 열처리하여, 상기 TiSi 오믹접촉층(24)을 안정하고 높은 전기전도도를 갖는 C54-TiSi<sub>3</sub>로 변환시킨다.

제3도 및 제14도를 참조하여, 상기 결과물의 전면에 티타늄나이트라이드(TiN)를 반응성 스퍼터링방법에 의해 200Å 내지 1000Å의 두께로 증착하여 확산장벽막(26)을 형성한다. 이때 상기 확산장벽막(26)을 WN, TaN, ZrN등의 고용점금속질화물 및 TiC, WC, TaC, ZrC등의 고용점금속탄화물 중의 한가지로 형성할 수 있다.

제4도 및 제15도를 참조하여, 비트라인을 형성하기 위해, 상기 결과물의 전면에 고온에서 쉽게 산화되지 않는 고용점금속, 예컨대 W, Mo, Ta, Ti, Zr 중의 한가지를 화학기상증착법에 의해 1000 Å 내지 5000 Å의 두께로 증착하여 고용점금속층(28)을 형성하고,

상기 홈(18)과 상기 다이렉트콘택홀(20a)로 이루어지는 비트라인 구조물과 상기 랜딩패드형성용 콘택홀(20b)을 필링시킨다.

이때 상기 고용점금속 대신에 상기 고용점금속의 질화물 및 상기 고용점금속의 탄화물중의 한가지를 사용할 수 있다.

본 발명을 완성하기 위하여, N형 활성영역과 P형 활성영역에 동시에 콘택을 형성할 수 있도록 비트라인은 통상 사용하는 폴리사이드가 아닌 고용점금속이나 고용점금속화합물을 사용한다.

제5도 및 제16도를 참조하여, 화학기계연마법(Chemical Mechanical Polishing, CMP)이나 플라즈마 전면식각법을 이용하여, 상기 고용점금속(또는 고용점금속화합물)으로 필링된 상기 비트라인 구조물 및 상기 랜딩패드형성용 콘택홀(20b) 부위 이외의 상기 확산장벽막(26)과 상기 고용점금속막(28)을 제거함으로써, 비트라인(30a)과 랜딩패드(30b)를 형성한다.

제6도 및 제17도, 제7도 및 제18도를 참조하여, 상기 결과물의 전면에 실리콘질화막(SiN)(32)을 형성한 후, 상기 메모리 셀부에 통상의 스택 캐패시터 형성방법과 동일한 방법으로 캐패시터의 하부전극(34),  $TiO_2$ 유전막 및 상부전극(36)을 형성하고, 다음에 주변회로부의 상기 실리콘질화막(32)을 제거한다.

제8도 및 제19도를 참조하여, 상기 결과물의 전면에 제2절연막(38)을 적층하고,

제9도 및 제20도를 참조하여, 상기 주변회로부에 형성된 상기 랜딩패드(30b)위의 상기 제2절연막(38)을 식각하여 배선용 콘택홀(40)을 형성한다.

제10도 및 제21도를 참조하여, 다음에 배선용 콘택홀(40) 아래에 드러난 상기 랜딩패드(30b)의 산화되어 있는 상기 고용점금속 표면을 스퍼터 에칭방법으로 제거한 후(또는 고용점금속의 표면을 제거하고 장벽금속(Barrier Metal)을 증착한 후),

상기 결과물의 전면에 높은 전기도도를 갖는 알루미늄(Al)을 증착하여 배선용 금속층(42)을 형성하고 상기 배선용 콘택홀(40)을 필링시킨다.

이때 상기 배선용 금속층(42)을 알루미늄 이외에 Cu, Ag, Au등의 금속 및 Al-Cu, Al-Si-Cu, Ag-Cu등의 금속합금으로 형성할 수 있다.

상기 배선용 콘택홀(40)에 알루미늄을 필링시키는 방법으로는 알루미늄 리플로우(Reflow)방법, 고온 스퍼터링방법, 및 화학기상증착법등이 있으며, 본 발명에서는 Al 리플로우 방법을 사용하였으나 이에 국한되는 것을 아니다.

알루미늄 리플로우를 행하기 위해서, 먼저 100℃이하의 온도에서 Al-Si-Cu 합금을 2000 Å 내지 6000 Å의 두께로 증착한 후(증착온도가 낮을 수록 유리함), 진공상태를 유지하면서 알루미늄 용융점의 0.6배 이상의 온도에서, 바람직하게는 450℃ 이상의 온도에서 30초 내지 180초간 유지하여 금속원자의 이동을 유발시킴으로써 상기 배선용 콘택홀(40)을 필링시킨다.

따라서, 주변회로부에는 고용점금속(또는 고용점금속화합물)으로 필링된 랜딩패드(30b)와 알루미늄이 필링된 배선용 콘택홀(40)이 합쳐져 하나의 콘택을 형성하게 된다.

제11도 및 제22도를 참조하여, 마지막으로 사진 및 식각공정에 의해 상기 배선용 금속층(42)을 패터닝(Patterning)하여 배선(42a)을 완성한다.

따라서 상술한 본 발명의 배선 형성방법에 의하면,

메모리소자, 특히 DRAM의 제조공정중 메모리셀부의 비트라인을 형성시킬 때, 동시에 주변회로부에 고용점금속으로 필링된 랜딩패드를 형성함으로써,

후속의 배선용 콘택홀을 형성하는 공정에서 실효 절연막의 두께를 감소시키는 효과가 있으므로, 배선용 콘택홀의 에칭이 용이하고 또한 상기 랜딩패드위에 증황비가 작은 배선용 콘택홀이 형성된다.

따라서 금속배선층 형성시, 알루미늄 리플로우 공정등에 의해 배선용 콘택홀을 필링(Filling)하기가 쉽고, 이에 따라 상기 배선용 콘택홀에 증착되는 금속의 스텝커버리지(Step-Coverage)가 좋아지고, 콘택저항이 작아지며, 이로 인해 신뢰도가 증가된다.

더하여 본 발명은 상기 실시예에 한정되지 않으며, 본 발명의 기술적 사상내에서 당 기술분야에서 통상의 지식을 가진자에 의해 다양한 변형이 가능함을 명백하다.

#### (57) 청구의 범위

청구항 1. 메모리셀부와 주변회로부를 갖는 반도체장치의 배선 형성방법에 있어서,

실리콘기판상에 메모리셀부의 활성영역, 주변회로부의 활성영역 및 게이트전극을 형성하는 단계;

상기 결과물의 전면에 제1절연막을 적층(Deposit)하는 단계;

상기 제1절연막을 식각하여, 상기 메모리셀부의 활성영역에 접속되는 비트라인 구조물과 상기 주변회로부의 활성영역에 접속되는 랜딩패드(Landing Pad)형성용 콘택홀(Contact Hall)을 동시에 형성하는 단계;

상기 결과물의 전면에 오믹접촉(Ohmic Contact)용 금속막을 적층하는 단계;

상기 결과물의 전면에 확산장벽막을 적층하는 단계;

상기 결과물의 전면에 고용점금속을 적층하여 상기 비트라인 구조물 및 상기 랜딩패드형성용 콘택홀을 필링(Filling)시키는 단계;

상기 고용점금속으로 필링된 상기 비트라인 구조물 및 상기 랜딩패드형성용 콘택홀 부분이외의 상기 확산장벽막과 상기 고용점금속을 제거하여 비트라인과 랜딩패드를 형성하는 단계;

상기 결과물의 전면에 제2절연막을 적층하는 단계;

상기 랜딩패드위의 상기 제2절연막을 식각하여 배선용 콘택홀을 형성하는 단계;

상기 결과물의 전면에 높은 전기전도도를 갖는 배선용 금속을 적층하고 상기 배선용 콘택홀을 필링시키는 단계;

상기 배선용 금속을 패터닝하여 배선을 형성하는 단계를 순차적으로 수행하는 것을 특징으로 하는 반도체장치의 배선 형성방법.

청구항 2. 제1항에 있어서, 상기 비트라인 구조물 및 상기 랜딩패드형성용 콘택홀 아래의 상기 실리콘기판 표면에서, 상기 오믹접촉용 금속막을 실리콘과 반응시켜 오믹접촉층(Ohmic Contact Layer)을 형성하고, 상기 오믹접촉용 금속막의 미반응된 부분을 스트립(Strip)한 후 상기 확산장벽막을 적층하는 것을 특징으로 하는 반도체장치의 배선 형성방법.

청구항 3. 제1항에 있어서, 상기 제1절연막이 BPSG(Borophosphosilicate Glass) 및 USG(Undoped Si<sub>3</sub> Glass)중의 한가

지로 형성되는 것을 특징으로 하는 반도체장치의 배선 형성방법.

청구항 4. 제1항에 있어서, 상기 제1절연막을 화학기상증착법(Cheical Vapor Depositon)으로 형성하는 것을 특징으로 하는 반도체장치의 배선 형성방법.

청구항 5. 제1항에 있어서, 상기 제1절연막의 전면에 SOG(Spin on Glass)를 적층하여 평탄화 시킨 다음에, 전면식각(Full Etchback)방법으로 상기 SOG와 상기 제1절연막의 일부를 제거하는 것을 특징으로 하는 반도체장치의 배선 형성방법.

청구항 6. 제1항에 있어서, 상기 비트라인 구조물이 상기 제1절연막을 1차와 2차의 다단계로 식각하여 형성되는 것을 특징으로 하는 반도체장치의 배선 형성방법.

청구항 7. 제1항에 있어서, 상기 비트라인 구조물과 상기 랜딩패드형성용 콘택홀이, 상기 활성영역의 P형 및 N형에 동시에 형성되어 고용점금속으로 필링되는 것을 특징으로 하는 반도체장치의 배선 형성방법.

청구항 8. 제5항에 있어서, 상기 비트라인 구조물을 이중상감기법(Dual-damascene)에 의해 고용점금속으로 필링시키는 것을 특징으로 하는 반도체장치의 배선 형성방법.

청구항 9. 제1항에 있어서, 상기 오믹접촉용 금속막이 Ti, W, Mo, Ta, Zr중의 한가지로 형성되는 것을 특징으로 하는 반도체장치의 배선 형성방법.

청구항 10. 제1항에 있어서, 상기 오믹접촉용 금속막을 스퍼터링방법으로 형성하는 것을 특징으로 하는 반도체장치의 배선 형성방법.

청구항 11. 제1항에 있어서, 상기 확산장벽막이 TiN, WN, TaN, ZrN등의 고용점금속질화물 및 TiC, WC, TaC, ZrC등의 고용점금속탄화물 중의 한가지로 형성되는 것을 특징으로 하는 반도체장치의 배선 형성방법.

청구항 12. 제1항에 있어서, 상기 고용점금속이 W, Mo, Ta, Ti, Zr중의 한가지인 것을 특징으로 하는 반도체장치의 배선 형성방법.

청구항 13. 제1항에 있어서, 상기 고용점금속 대신에 상기 고용점금속의 질화물 및 상기 고용점금속의 탄화물중의 한가지를 사용할 수 있는 것을 특징으로 하는 반도체장치의 배선 형성방법.

청구항 14. 제1항에 있어서, 상기 고용점금속을 화학기상증착법으로 형성하는 것을 특징으로 하는 반도체장치의 배선 형성방법.

청구항 15. 제1항에 있어서, 상기 확산장벽막과 상기 고용점금속을 제거하는 방법이 화학기계연마법(Cheical Mechanical Polishing, CMP) 및 플라즈마 전면식각법중의 한가지인 것을 특징으로 하는 반도체장치의 배선 형성방법.

청구항 16. 제1항에 있어서, 상기 배선용 금속이 높은 전기전도도를 갖는 Al, Al-Cu합금, Al-Si-Cu합금, Au, Cu, Ag, Ag-Cu합금중의 한가지인 것을 특징으로 하는 반도체장치의 배선 형성방법.

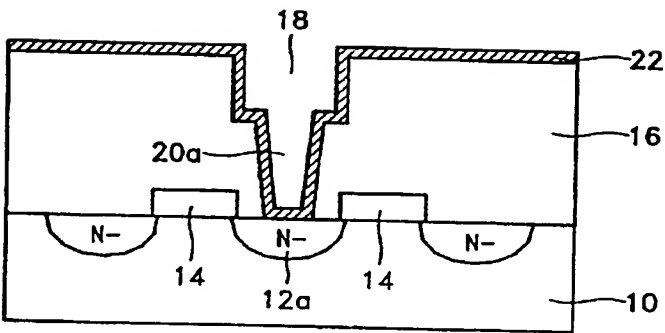
청구항 17. 제1항에 있어서, 상기 배선용 금속이 Al 및 Al합금중의 한가지인 경우, Al 또는 Al합금을 100℃ 이하의 저온에서 증착한 후, 450℃ 이상의 고온에서 30초 내지 180초간 유지하여 금속원자의 이동을 유발시킴으로써 상기 금속배



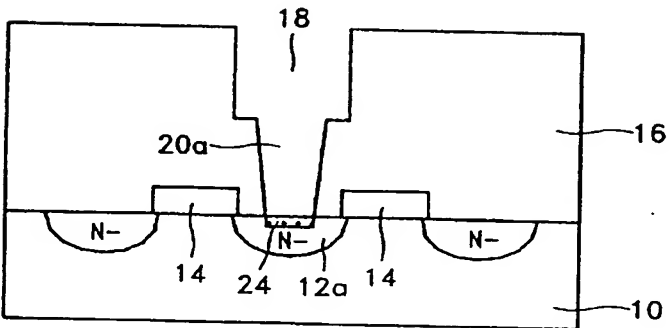
선용 콘택(40)을 필링시키는 것을 특징으로 하는 반도체장치의 배선 형성방법.

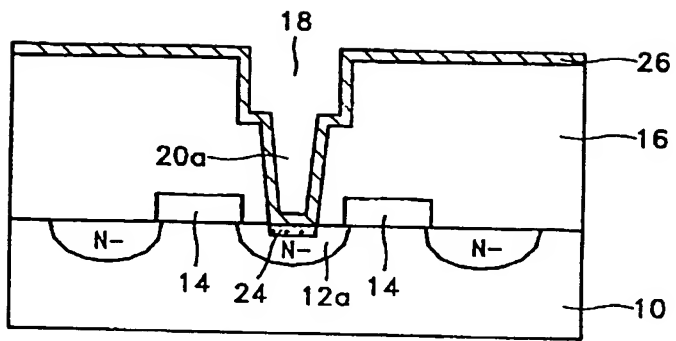
도면

도면1

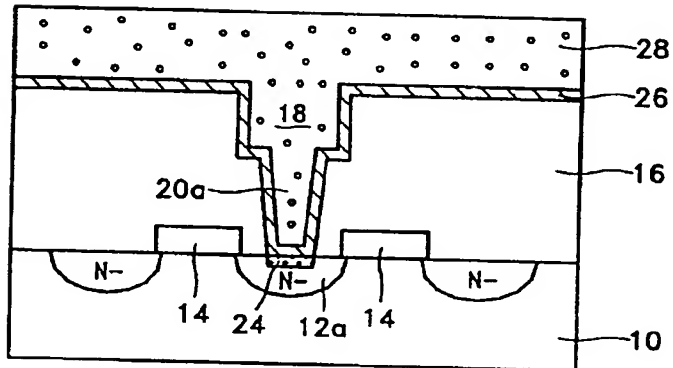


도면2

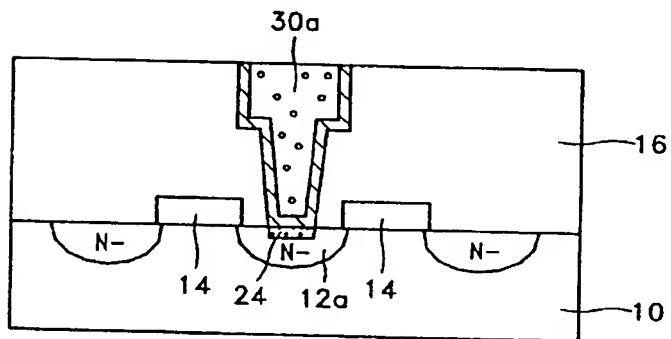


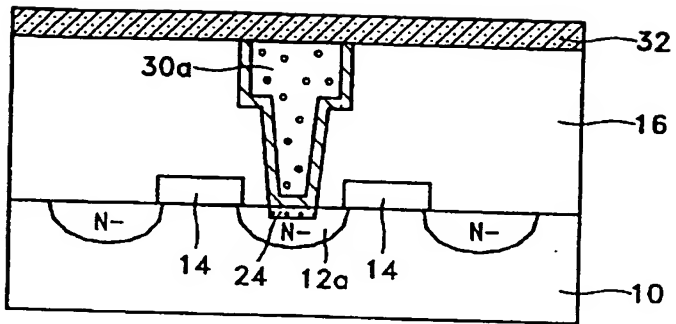


도면4

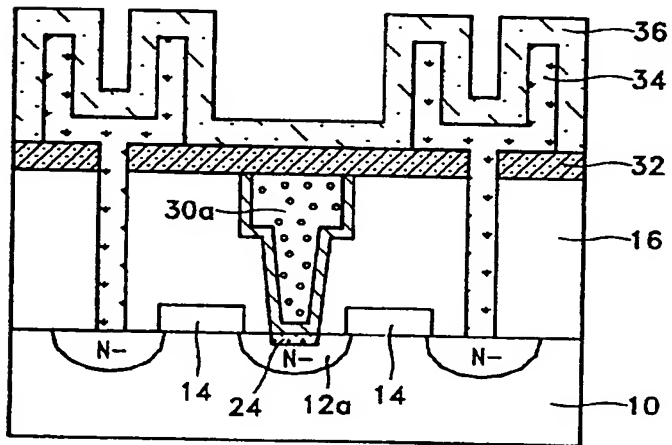


도면5

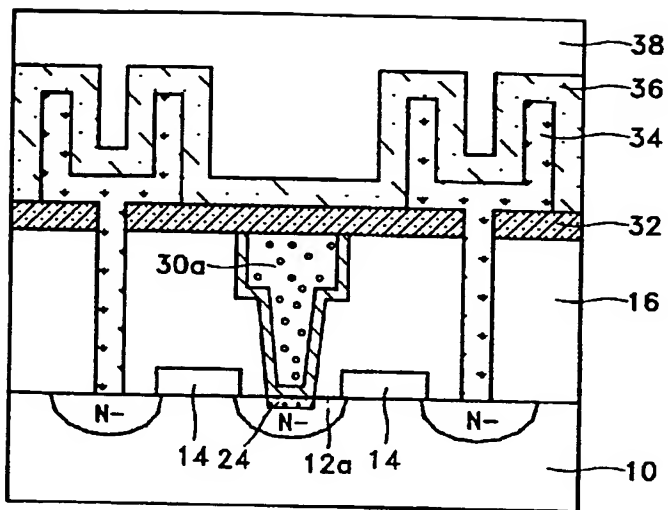




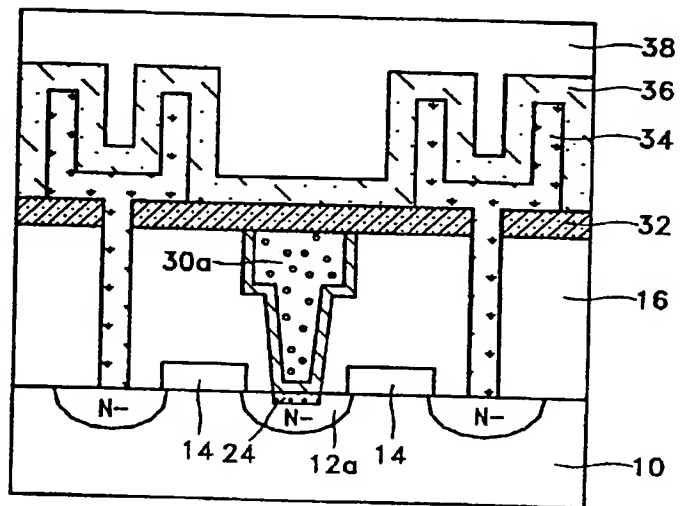
도면7



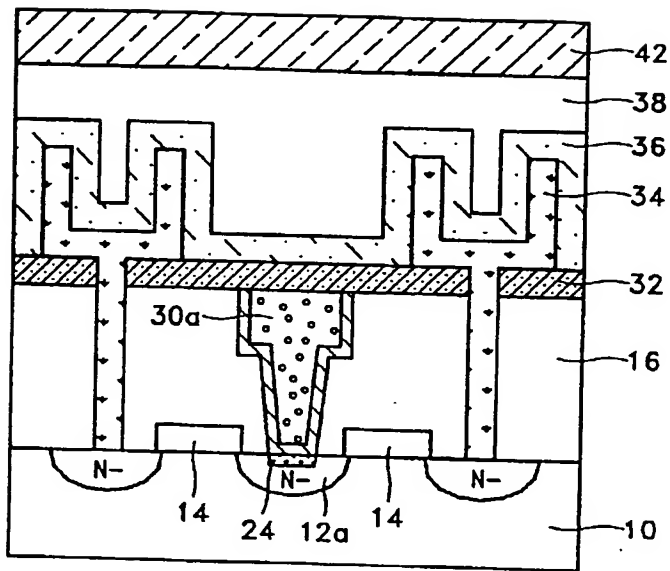
도면8



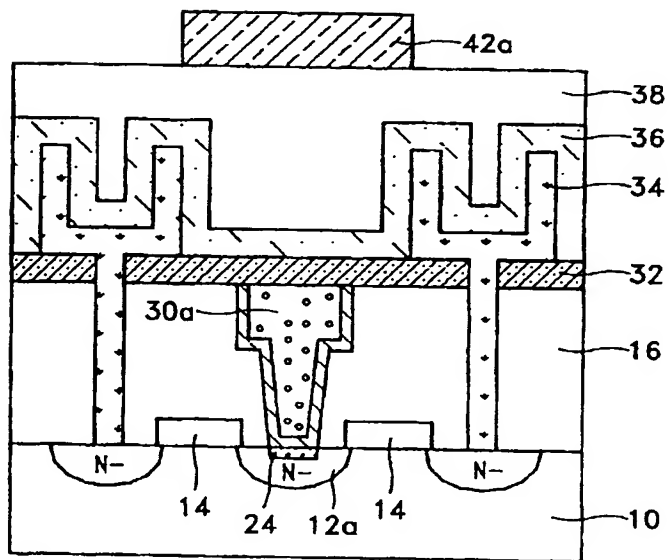
도면9



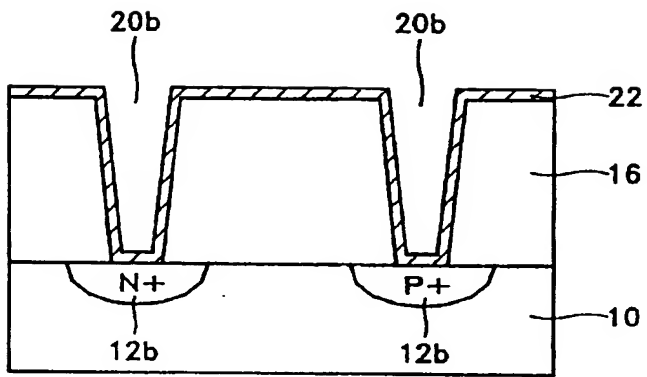
도면10



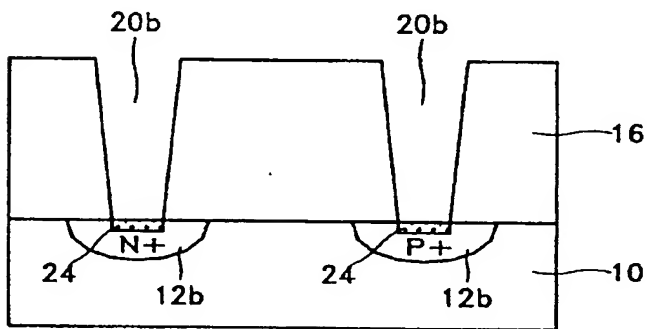
도면 11



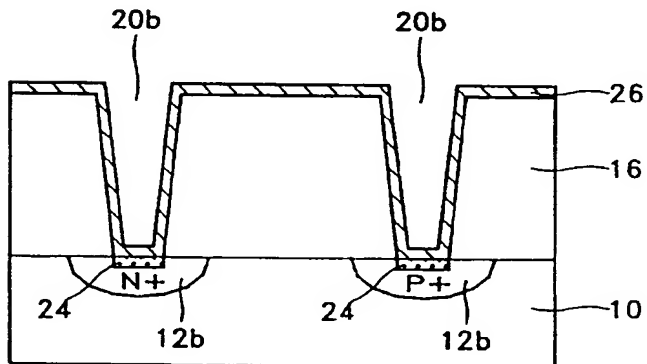
도면 12

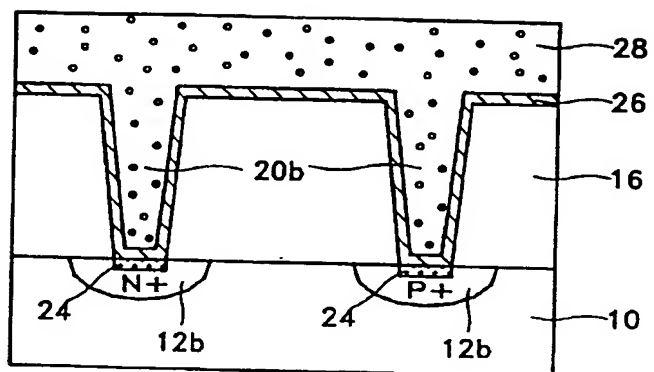


도면 13

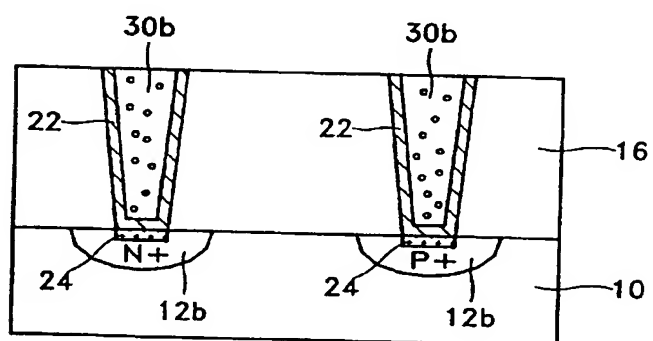


도면 14

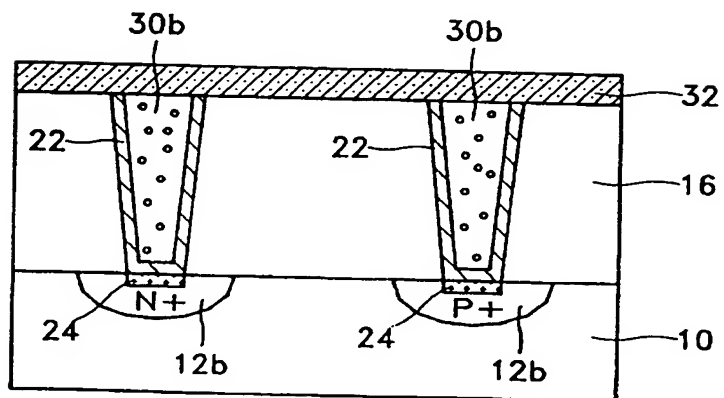




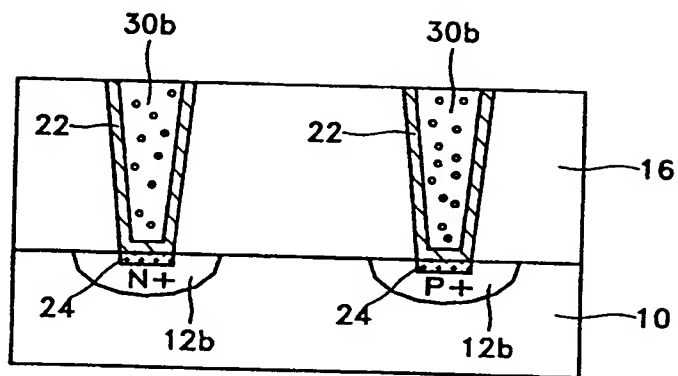
도면 16



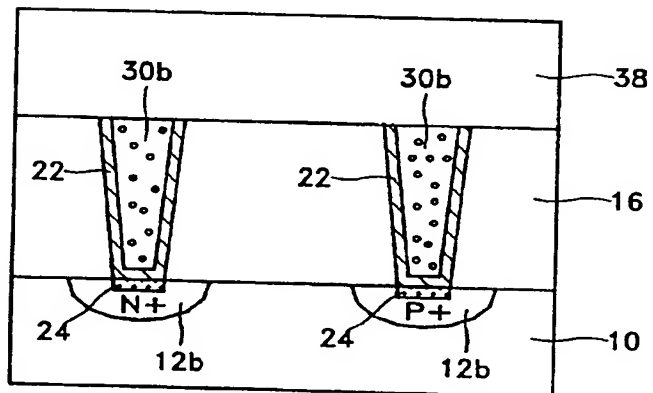
도면 17



도면 18

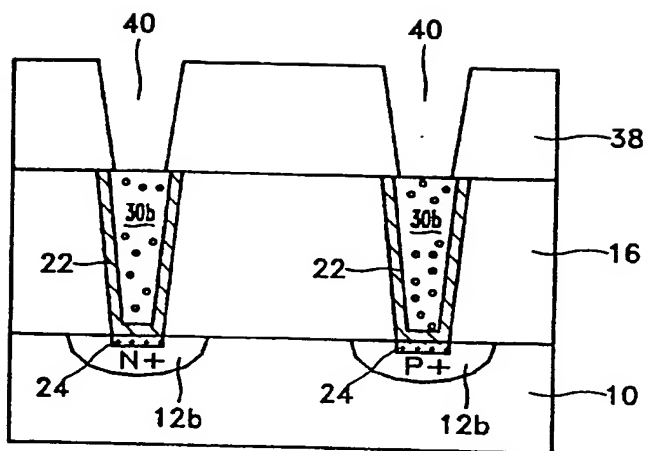


도면 19

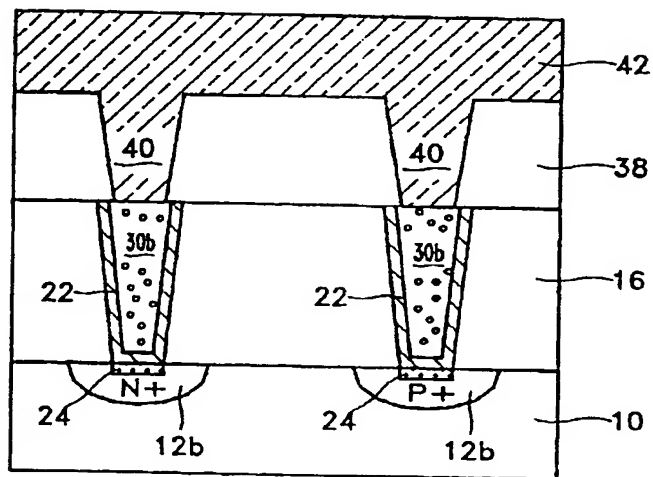


도면 20





도면21



도면22

